

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-234319

(43)Date of publication of application : 29.09.1988

(51)Int.Cl.

G06F 3/153

(21)Application number : 62-069413

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.03.1987

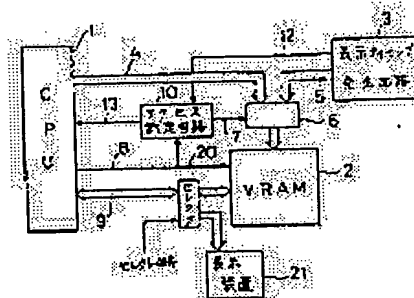
(72)Inventor : WAKIMOTO KINGO

## (54) DISPLAY CIRCUIT

(57)Abstract:

**PURPOSE:** To prevent the flickering produced on a display screen despite the writing and display requests given asynchronously, by providing an access arbitrating circuit to keep an access request given from a CPU during a display period waiting to a display memory.

**CONSTITUTION:** A synchronism control signal 12 for access request given from a display timing generating circuit 3 is set at an H level together with an access given to a display RAM 2 via the circuit 3, and a multiplexer 6 and a display device 21 is working. Under such conditions, an access request signal 8 given from a CPU 1 becomes active. Thus, the access request given from the CPU 1 is kept waiting by an access arbitrating circuit 10. Then, the request kept waiting is validated by the circuit 10 when the display period of the circuit 3 is over. Then, an access is given to the RAM 2 from the CPU 1 for execution of a rewriting job. Thus, the flickering occurring on a display screen can be avoided with no conflict produced between writing and display requests if given asynchronously with each other.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

## ⑫ 公開特許公報(A)

昭63-234319

⑬ Int.Cl.<sup>4</sup>

G 06 F 3/153

識別記号

3 3 6

庁内整理番号

7341-5B

⑭ 公開 昭和63年(1988)9月29日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 表示回路

⑯ 特 願 昭62-69413

⑰ 出 願 昭62(1987)3月23日

⑱ 発 明 者 脇 本 欣 吾 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

表示回路

## 2. 特許請求の範囲

(1) CPUからのアクセス要求に応じてメモリに記憶されている情報の置換えを行なうとともに、前記情報を読出して所定の表示装置に与える表示回路において、

前記情報の表示期間中に発生した前記アクセス要求に対して、前記CPUを待機させ、前記表示期間の完了後に前記アクセス要求を有効とせしめるアクセス裁定回路を設けたことを特徴とする表示回路。

(2) 所定の基準信号の一サイクルの半分を表示期間とし、他の半分のCPUがメモリをアクセス可能である期間として設定するとともに、前記表示期間以外に発生した前記CPUからのアクセス要求に対して、次の表示期間までにアクセス完了可能かどうかを判定し、アクセス完了可能と判定されたときのみに前記CPUからのアクセス要

求を有効とし、それ以外の場合には前記CPUの待機と表示期間完了後のアクセス要求の有効化とを行なわせる回路をアクセス裁定回路として設けたことを特徴とする特許請求の範囲第1項記載の表示回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、メモリに記憶されている情報の置換えを行なうとともに、この情報を読出して所定の表示装置に与える表示回路に関するものである。

(従来の技術)

第3図は従来の表示回路を示すブロック図であり、図において、1はCPU、2は情報を記憶しておくメモリとしてのVRAM、3はVRAM2に対する表示用アドレス信号5などを所定のタイミングで発生させる表示タイミング発生回路、4はCPU1から出力される置換用アドレス信号、6はCPU1からの置換用アドレス信号4と表示タイミング発生回路3からの表示用アドレス信号5とを、表示タイミング発生回路3からの切換指

示信号7に基づき切換えてVRAM2に与えるマルチプレクサ、8はCPU1からVRAM2へ出力され、アクセス要求時にアクティブとなるアクセス要求信号、9はVRAM2のデータバスである。そして、このデータバス9は、図示しないセレクト信号によって切換わるセクタ20を介して、CPU1および表示装置21に接続されている。

次に動作について説明する。表示回路の動作には、VRAM2に記憶されている情報を読み出して表示装置に与える動作（以下、表示動作と言う。）と、CPU1がVRAM2に記憶されている情報をリフレッシュなどの目的で書換える動作（以下、書換動作と言う。）とがある。そこで、まず表示動作について説明する。

表示動作時には、マルチプレクサ6に対して表示タイミング発生回路3側への切換指示信号7が与えられており、マルチプレクサ6は表示タイミング回路3側に切換えられている。これによって、表示タイミング発生回路3から出力された表示用

アドレス信号5が、マルチプレクサ6を介してVRAM2へと入力される。そして、表示用アドレス信号5が指定するアドレスにストアされている情報はVRAM2より出力され、データバス9およびセクタ20を介して表示装置21に与えられる。

一方、書換動作時には、マルチプレクサ6に対してCPU1側への切換指示信号7が与えられており、マルチプレクサ6はCPU1側に切換えられている。また、CPU1からVRAM2へ出力されているアクセス要求信号8がアクティブとなって、CPU1とVRAM2との間でデータバス9を介して情報の授受が可能とされる。そして、CPU1から出力された書換用アドレス信号4は、マルチプレクサ6を介してVRAM2へと与えられ、この書換用アドレス信号4が指定するアドレスにストアされている情報は、CPU1からデータバス9およびセクタ20を介してCPU1によって書換えられる。

（発明が解決しようとする問題点）

ところで、これらの動作を関連づけることなく互いに独立して動作可能とした場合には、表示動作中（すなわち、情報の表示期間中）であっても、CPU1がVRAM2へのアクセスを要求して書換動作が行なわれることになり、VRAM2から出力された情報を表示している表示装置21の画面がちらつくなどの障害が出るという問題がある。

これに対しては、

①書換動作は帰線期間中に行なうものとして、表示動作と書換動作を行なうタイミングを設定する、

②インターフェースを同期バス型として、CPU1からVRAM2へ出力されるアクセス要求信号8のサイクルを表示用アドレス信号5のサイクルと同期させ、例えば、サイクルの前半で表示動作を行ない、後半で書換動作を行なうものとして割付ける、

などの対策がとられている。しかしながら、表示動作と書換動作とのタイミング設定や同期バス型のインターフェースの使用は常に行なわれるわ

けではなく、非同期で動作させる場合も少なくない。このため、非同期の場合にも上述のようなちらつきを防止することができる表示回路の開発が望まれている。

この発明は、上記のような問題点を解消するためになされたもので、非同期で書換要求と表示要求とがなされる場合にも表示画面をちらつかせることのない表示回路を得ることを目的とする。

（問題点を解決するための手段）

この発明に係る表示回路には、情報の表示期間中にCPUがアクセス要求をした場合には、表示期間が完了するまでCPUを待機させ、表示期間の完了後にCPUのアクセス要求を有効とするアクセス裁定回路を設けている。

（作用）

この発明におけるアクセス裁定回路は、情報の表示期間中になされたCPUからメモリへのアクセス要求を保留するとともにCPUを待機させ、表示期間の完了後にメモリへのアクセス要求を行なわせることにより、情報の表示期間中にCPU

がメモリをアクセスしないようにする。

(実施例)

以下、この発明の一実施例を図について説明する。第1図は、この発明の一実施例による表示回路を示すブロック図である。ただし、ここでは、従来の表示回路と異なる点について説明する。

第1図において、10は表示期間中にCPU1からのアクセス要求があった場合に、CPU1に待機信号13を与えるなどの規定動作を行なうアクセス規定回路、12は表示タイミング発生回路3からアクセス規定回路10に与えられてこのアクセス規定回路10と表示タイミング発生回路3との間の同期をとる同期制御信号である。なお、この回路ではマルチプレクサ6を動作させるための切換指示信号7は、アクセス規定回路10よりマルチプレクサ6に与えている。

次に、第1図の回路における各信号の内容と動作とについて説明する。第2図はこの表示回路の動作のタイミングを示すタイミング図である。以下、このタイミング図を参照しつつ、CPU1か

らアクセス要求があった場合のアクセス規定回路10の動作を中心に説明する。

第2図(a)は、表示タイミング発生回路3で表示用アドレス信号5を発生させる基本となるクロック信号であり、このクロック信号が同期制御信号12としてアクセス規定回路10に与えられる。アクセス規定回路10では表示期間と書換用アクセス許可期間とが、同期制御信号12の半サイクル毎に交互に割り付けられる。また、アクセス規定回路10は、同期制御信号12の半サイクル周期で切換指示を行なう切換指示信号7をマルチプレクサ6へと出力する。

従って、マルチプレクサ6はCPU1からVRAM2へのアクセス要求の有無にかかわらず、CPU1側と表示タイミング発生回路3側との切換動作を行ない、第2図(b)に示すように、VRAM2は、書換用アドレス信号4と表示用アドレス信号5とを交互に受入れることができる状態となる。

今、CPU1からの書換アクセス要求が発生し、

CPU1からVRAM2へ出力されているアクセス要求信号8が、第2図(c)に示すタイミングA(すなわち、表示期間中)でアクティブ“L”になったとする。

このアクセス要求信号8はアクセス規定回路10に与えられるが、このアクセス規定回路10は、①表示期間内における書換アクセス要求、および②書換用アクセス許可期間内における書換アクセス要求であって、かつ当該書換用アクセス許可期間が終了するまでに書換動作が完了し得ないような書換アクセス要求に対しては、待機信号13を発生するようになっている。このうち、②は、あらかじめ求めておいた書換所要時間に応じた値を所定のカウンタにセットしておき、同期制御信号12に同期してこのカウンタによる計時を行なわせ、その計時値とアクセス要求信号8の入力時刻との比較を行なうことによって実現できる。

このため、今ここで考えているように表示期間中にアクセス要求信号8がアクティブになると、アクセス規定回路10はCPU1に対して待機信

号13を出力して、CPU1にアクセス要求を保留させる。そして、表示期間の完了後、待機信号13を解除してCPU1がVRAM2をアクセスすることを許可する。それによって、VRAM2のストア内容の書換えが行なわれる。

次に、アクセス要求信号8が、第2図(d)に示すタイミングB、または、第2図(e)に示すタイミングC(すなわち、表示期間の完了後)でアクティブになったとする。この場合には、アクセス規定回路10はアクセス要求信号8がアクティブとなったタイミングB、Cから次の表示期間までの残余期間を、予め設定されたVRAM2の書換えに要する時間と比較する。

そして、次の表示期間までにアクセス完了可能な場合(第2図(d))には待機信号13を出力しない。このため、CPU1はVRAM2をアクセスしてVRAM2の指定されたアドレスにストアされている情報の書換動作を行なう。

一方、次の表示期間までにアクセス完了不可能の場合(第2図(e))にはアクセス規定回路10

はCPU 1に対して待機信号13を出力して、CPU 1からのアクセス要求を次の表示期間の完了後まで保留させる。そして、表示期間の完了後、待機信号13を解除してCPU 1がVRAM 2をアクセスすることを許可する。

このようにすれば、情報の表示期間中に発生したアクセス要求ばかりでなく、表示期間以外であっても次の表示期間までにアクセスを完了することが不可能なタイミングで発生したアクセス要求をも保留することができるため、表示期間中にCPU 1がVRAM 2をアクセスすることがなくなり、画面のちらつきの問題は解消する。

なお、上記実施例では、アクセス裁定回路10には予めVRAM 2の書換えに要する時間が設定されていたが、任意の期間をプログラムによって外部から設定可能とすれば、書換えに要する期間の異なる各種メモリにも対応することができ、VRAM 2の選択の自由度が大きくなる。これは、たとえばカウンタを用いて上記書換え所要時間に対応する計時を行なう際には、このカウンタをプリ

セツプルカウンタとしておけばよい。

また、上記のように書換え所要時間を考慮するようにアクセス裁定回路10を形成することが最も望ましいが、表示期間内のアクセス要求についてのみ待機信号13を発生するようにしても、従来よりは優れた表示回路となる。

(発明の効果)

以上のように、この発明によれば、情報の表示期間中にCPUがアクセス要求をした場合に、表示期間が完了するまでCPUを待機させ、表示期間の完了後にCPUのアクセス要求を有効とするアクセス裁定回路を設けたので、情報の表示期間中に発生したCPUからのアクセス要求ではメモリがアクセスされず、非同期で書換え要求と表示要求とが行なわれる場合にも表示画面をちらつかせない表示回路を得られる効果がある。

#### 4. 図面の簡単な説明

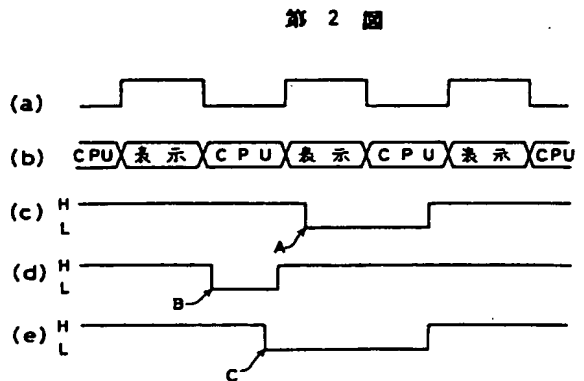
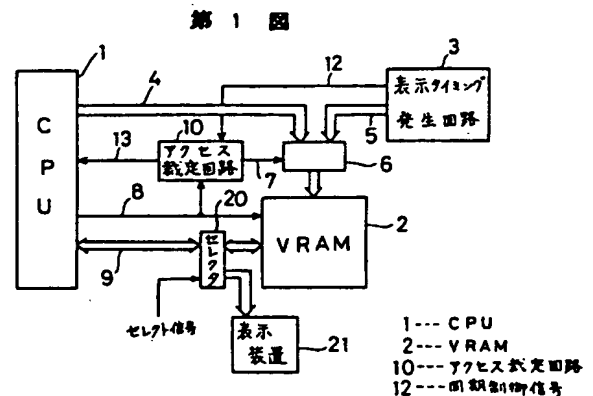
第1図はこの発明の一実施例による表示回路を示すブロック図、第2図は実施例の表示回路の動作のタイミングを示すタイミング図、第3図は従

来の表示回路を示すブロック図である。

図において、1はCPU、2はメモリ、10はアクセス裁定回路、12は同期制御信号である。

なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄



第 3 図

